

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05029840 A**

(43) Date of publication of application: **05 . 02 . 93**

(51) Int. Cl **H03F 1/02**

(21) Application number: **03202425**

(22) Date of filing: **17 . 07 . 91**

(71) Applicant: **HITACHI LTD HITACHI DEVICE
ENG CO LTD**

(72) Inventor: **ASHIGA KOUICHI**

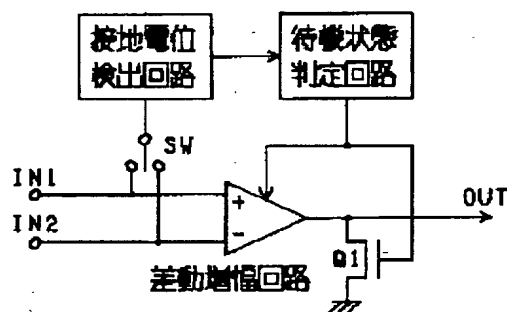
(54) **SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE**

COPYRIGHT: (C)1993,JPO&Japio

(57) Abstract:

PURPOSE: To provide a semiconductor integrated circuit device including a differential amplifier circuit which is made to selectively operate and reducing substantial power consumption.

CONSTITUTION: A signal detection circuit detecting whether the input signal of a differential amplifier circuit is a prescribed fixed level or not is provided. When the input signal is judged as the fixed level by the signal detection circuit, the operating current of the differential amplifier circuit is interrupted and the output level is made to the fixed level. A malfunction of a undesired circuit can be prevented and low power consumption can be realized corresponding to the interruption of the operating current by interrupting the operating current of the differential amplifier circuit and by setting the output signal in the fixed level since the substantial amplifier operation is not performed when the input signal of the differential amplifier circuit is the fixed level.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-29840

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl.⁵

H 0 3 F 1/02

識別記号

庁内整理番号

7239-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数5(全 7 頁)

(21)出願番号 特願平3-202425

(22)出願日 平成3年(1991)7月17日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72)発明者 芦賀 弘一

千葉県茂原市早野3681番地 日立デバイス

エンジニアリング株式会社内

(74)代理人 弁理士 徳若 光政

(54)【発明の名称】 半導体集積回路装置

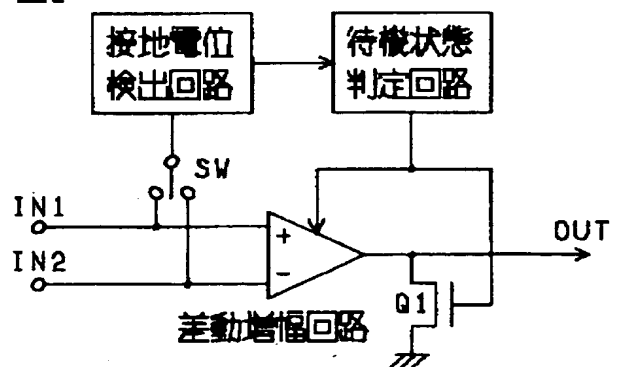
(57)【要約】

【目的】 選択的に動作させられる差動増幅回路を含みつつ、実質的な消費電力を低減させた半導体集積回路装置を提供する。

【構成】 差動増幅回路の入力信号が所定の固定レベルであるか否かを検出する信号検出回路を設け、上記信号検出回路により入力信号が固定レベルであると判定されたとき、上記差動増幅回路の動作電流を遮断するとともに出力レベルを固定レベルにする。

【効果】 差動増幅回路の入力信号が固定レベルであるときには実質的な増幅動作が行われていないから、差動増幅回路の動作電流を遮断するとともに出力信号を固定レベルとすることにより不所望な回路の誤動作を防止でき、上記動作電流の遮断に対応して低消費電力化が実現できる。

図1



【特許請求の範囲】

【請求項1】 入力信号を受ける差動増幅回路と、上記入力信号が所定の固定レベルであるか否かを検出する信号検出回路とを含み、上記信号検出回路により入力信号が固定レベルであると判定されたとき、上記差動増幅回路の動作電流を遮断するとともに出力レベルを固定レベルにすることを特徴とする半導体集積回路装置。

【請求項2】 上記信号検出回路は、入力信号のレベルに対応したデジタル信号を出力する電圧検出回路と、この電圧検出出力を受けて信号の変化の有無を判定する特機状態判定回路から構成されるものであることを特徴とする請求項1の半導体集積回路装置。

【請求項3】 上記差動増幅回路の出力信号を受ける差動増幅回路は、入力側差動増幅回路に設けられた信号検出回路の出力信号に従い、入力側差動増幅回路と同様に動作電流が遮断されるとともに出力レベルが固定レベルにされるものであることを特徴とする請求項1の半導体集積回路装置。

【請求項4】 上記入力信号は、外部端子から入力されるものであることを特徴とする請求項1、請求項2又は請求項3の半導体集積回路装置。

【請求項5】 使用しない差動増幅回路の入力端子を所定の固定レベルにすることを特徴とする請求項4の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体集積回路装置に関し、例えば、用途や動作モードに応じて選択的に動作状態にさせられる差動増幅回路を含むものに利用して有効な技術に関するものである。

【0002】

【従来の技術】 演算増幅回路を多用したアナログ集積回路装置では、演算増幅回路に常時電流を流し続ける必要があるため消費電流が大きくなる。このように演算増幅回路の多用したアナログ集積回路の例としては、例えば、(株)日立製作所1989年3月発行『日立通信用半導体データブック』頁203～頁231がある。

【0003】

【発明が解決しようとする課題】 上記のようなアナログ集積回路の消費電流を低減させるために、回路全体が非動作状態に入ると、パワーダウン制御信号を受けるパワーダウン制御回路により各演算増幅回路のバイアス電流を遮断してパワーダウンを行わせることが考えられる。しかし、この場合には、回路全体が非動作状態になるという極めて限られた条件でしかパワーダウンが行われなからパワーダウン化には限界がある。この発明の目的は、選択的に動作させられる差動増幅回路を含みつつ、実質的な消費電力を低減させた半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面か

ら明らかになるであろう。

【0004】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、差動増幅回路の入力信号が所定の固定レベルであるか否かを検出する信号検出回路を設け、上記信号検出回路により入力信号が固定レベルである判定されたとき、上記差動増幅回路の動作電流を遮断するとともに出力レベルを固定レベルにする。

10 【0005】

【作用】 上記した手段によれば、差動増幅回路の入力信号が固定レベルであるときには実質的な増幅動作が行われていないから、差動増幅回路の動作電流を遮断するとともに出力信号を固定レベルとすることにより不所望な回路の誤動作を防止でき、上記動作電流の遮断に対応して低消費電力化が実現できる。

【0006】

【実施例】 図1には、この発明が適用された半導体集積回路装置に形成される差動増幅回路の一実施例のブロック図が示されている。この実施例では、半導体集積回路に形成される差動増幅回路のうち、その用途又は動作モードに応じて非動作状態に置かれるものに対しては、その入力信号の信号検出回路が設けられる。この信号検出回路は、特に制限されないが、接地電位検出回路と特機状態判定回路から構成される。差動増幅回路は、非反転入力(+)と反転入力(-)に対応した2つの入力端子IN1とIN2を持ち、差動的な入力信号が供給されることその他一方にバイアス電圧が供給されることが多い。すなわち、差動増幅回路を非反転増幅回路として用いるときには、入力端子IN1に入力信号が供給され、入力端子IN2にはバイアス信号又は負帰還信号が供給される。

30

【0007】 この実施例では、このように差動増幅回路がいずれの形態で使用されるかに応じて、接地電位検出回路に伝えられる入力信号を選ぶスイッチSWが設けられる。このスイッチSWは、特に制限されないが、マスタースライスやワイヤーボンディング等の配線手段によりスイッチの接続が選ばれる。その意味では、通常の切り替えスイッチとは異なる。この他、MOSFET(絶縁ゲート型電界効果トランジスタ)のようなスイッチ素子により構成されてもよい。このようなスイッチ素子を用いた場合には、いずれの入力信号を伝えるかの制御信号を形成する必要があるが、上記のように差動増幅回路の動作形態が固定的に選択される場合には、マスタースライスやワイヤーボンディングあるいはフューズ手段等のようなプログラム素子を利用するものであってもよい。この他、動作モードに応じて入力信号の切り替えが行われるものでは、その動作モードを指示する信号を利用して上記スイッチ素子の制御を行うようにすればよ

40

50

い。

【0008】待機状態判定回路は、接地電位検出回路の出力信号により差動増幅回路の入力信号が無信号状態の待機状態と判定したなら、その出力信号により差動増幅回路の動作電流を遮断させる。これにより、無信号時において差動増幅回路で消費される無駄な電流を削減することができる。上記のように差動増幅回路の動作電流が遮断されると、それに応じて出力がハイインピーダンスになるなどして不定レベルになる。この不定レベルにより、動作状態にある他の回路が影響を受けて、誤動作が生じるなどの問題を防ぐために、出力端子OUTを回路の接地電位のような固定レベルにするスイッチMOSFETQ1が設けられる。このスイッチMOSFETQ1は、上記待機状態判定回路により、差動増幅回路の動作電流が遮断されたときオン状態になって出力端子OUTを回路の接地電位に固定する。

【0009】図2には、この発明が適用された半導体集積回路装置に形成される差動増幅回路の他の一実施例のブロック図が示されている。この実施例では、上記のように用途又は動作モードに応じて非動作状態に置かれる差動増幅回路の出力側にバッファ回路等を構成する別の差動増幅回路が設けられる。このバッファ回路を構成する差動増幅回路2の動作は、前段の差動増幅回路1に従った動作を行うものである。このことに着目し、前段の差動増幅回路1に設けられる信号検出回路を後段の差動増幅回路2に共用するものである。すなわち、前記同様に接地電位検出回路と待機状態判定回路からなる信号検出回路の出力信号は、前段の差動増幅回路1と後段の差動増幅回路2に対して共通に動作電流の遮断と出力レベルの固定する制御信号として用いられる。もしも、バッファ回路としての後段の差動増幅回路2の出力側にも、演算増幅回路等を構成する差動増幅回路が設けられ、その動作も上記入力端子IN1又はIN2の信号の有無に従って動作を行うものであれば、上記信号検出回路の出力信号を上記同様に共用することができる。このような信号検出回路の共用化により、回路の簡素化が可能になるものである。

【0010】図3には、上記信号検出回路の一実施例の具体的回路図がそれにより制御される差動増幅回路とともに示されている。同図の各回路素子は、公知の半導体集積回路の製造技術により、図示しない他の差動増幅回路や必要に応じて設けられるデジタル回路とともに1個の半導体基板上において形成される。

【0011】この実施例の半導体集積回路装置は、CMOS（相補型MOS）回路により構成される差動増幅回路のようなアナログ回路とCMOS論理回路からなるデジタル回路から構成される。同図において、Pチャンネル型MOSFETは、そのチャンネル部分（バックゲート部）に矢印が付加されることにより、Nチャンネル型MOSFETと区別される。差動増幅回路は、反転増幅回路としての動作を行う。外部端子P1から供給され

る入力信号は、入力抵抗R1を通して反転入力（-）に供給される。この反転入力（-）と出力端子との間には、帰還抵抗R2が設けられる。上記抵抗R1とR2の抵抗比により利得が設定される。差動増幅回路の非反転入力（+）には、バイアス電圧として回路の接地電位が供給される。この差動増幅回路は、その用途や仕様にあるいは動作モードに応じて外部端子P1から供給される入力信号の選択的な増幅動作を行うようにされる。

【0012】外部端子P1から入力される入力信号は、
10 接地電位を中点電位として正電圧又は負電圧に変化する交流信号とされる。接地電位検出回路は、入力信号が接地電位かそれとも上記のような交流信号かを検出する。接地電位検出回路は、次のような回路により構成される。Nチャンネル型MOSFETQ6は、そのゲートに接地電位に対して負極性のバイアス電圧V2が供給されることにより、比較的小さな電流を流すようにされる。Nチャンネル型MOSFETQ7は、そのゲートに接地電位に対して正極性のバイアス電圧V1が供給されることにより、比較的大きな電流を流すようにされる。そして、
20 Nチャンネル型MOSFETQ5のゲートには、上記入力端子P1の信号が供給される。これらのMOSFETQ5～Q7は、同じ素子サイズにより構成される。上記MOSFETQ5のドレインには、ダイオード形態にされたPチャンネル型MOSFETQ2が設けられる。このPチャンネル型MOSFETQ2に対して電流ミラー形態にされたPチャンネル型MOSFETQ3とQ4が設けられる。これらのPチャンネル型MOSFETQ3とQ4のドレインは、上記Nチャンネル型MOSFETQ6とQ7のドレインに接続される。上記Pチャンネル型MOSFETQ2～Q4も同じ素子サイズにされる。
30

【0013】上記MOSFETQ3とQ6の共通化されたドレインAは、CMOSインバータ回路N1の入力に接続される。このインバータ回路N1の出力はノア（NOR）ゲート回路G1の一方の入力に接続される。上記MOSFETQ4とQ7の共通化されたドレインBは、上記ノアゲート回路G1の他方の入力に接続される。このノアゲート回路G1の出力端子から接地電位検出信号が出力される。なお、動作電圧VDDは、例えば+5Vのような正の電圧とされ、VSSは-5Vのような負の電圧とされる。そして、上記インバータ回路N1やゲート回路G1及び差動増幅回路は、上記電圧VDDとVSSにより動作させられる。

【0014】この実施例の接地電位検出回路の動作は、次の通りである。入力端子P1の電位が接地電位のような中点電位のとき、MOSFETQ5にはそれに対応した中間的な電流が流れる。この電流は、Pチャンネル型MOSFETQ2～Q4により構成される電流ミラー回路を介してMOSFETQ6とQ7のドレインに供給される。MOSFETQ6の電流値は、上記MOSFET
50

Q5のゲートに回路の接地電位が供給されたときの電流に対して比較的小さな電流値に設定されているため、インバータ回路N1の入力端子をハイレベルにさせる。これにより、インバータ回路N1のロウレベルの出力信号を形成する。これに対して、MOSFETQ7の電流値は、上記MOSFETQ5のゲートに回路の接地電位が供給されたときの電流に対して比較的大きな電流値に設定されているため、ノアゲート回路G1の他方の入力をロウレベルに引き抜くものとなる。この結果、ノアゲート回路G1の出力信号がVDDのようなハイレベルの出力信号を形成することになる。

【0015】入力端子P1の電位が負極性のとき、MOSFETQ5にはそれに対応した小さな電流しか流れない。この電流は、Pチャンネル型MOSFETQ2~Q4により構成される電流ミラー回路を介してMOSFETQ6とQ7のドレインに供給される。MOSFETQ6の電流値より上記MOSFETQ5に流れる電流が小さくなると、インバータ回路N1の入力端子をロウレベルにさせる。これにより、インバータ回路N1は、ハイレベルの出力信号を形成することになる。このとき、前記のように比較的大きな電流を流すように設定されたMOSFETQ7のドレインに対応した他方の信号Bはロウレベルになっている。

【0016】入力端子P1の電位が正極性のとき、MOSFETQ5にはそれに対応した大きな電流が流れる。この電流は、Pチャンネル型MOSFETQ2~Q4により構成される電流ミラー回路を介してMOSFETQ6とQ7のドレインに供給される。MOSFETQ7の電流値より上記MOSFETQ5に流れる電流が大きくなると、ノアゲート回路G1の他方の入力をハイレベルにさせる。このとき、前記のように比較的小さな電流を流すように設定されたMOSFETQ6のドレインに対応した他方の信号Aはハイレベルになっている。

【0017】上記MOSFETQ6とQ7のゲートに供給されるバイアス電圧V1とV2を接地電位に対して小さな電圧 $+\Delta V$ 又と $-\Delta V$ のような電位に設定することにより、外部端子P1から交流信号が入力されたときには、ノアゲート回路G1のいずれか一方の入力がハイレベルにされることに応じてVSSのようなロウレベルの出力信号が形成される。すなわち、ノアゲート回路G1は、入力端子P1が接地電位のときにはVDDのようなハイレベルを出力し、交流信号が入力されたときにはVSSのロウレベルを出力することになる。

【0018】待機状態判定回路は、次のような回路から構成される。上記接地電位検出回路の出力信号は、一方において抵抗RとキャパシタCからなる時定数回路により平滑される。上記出力信号は、他方においてインバータ回路N2とN3及びアンド(AND)ゲート回路G2からなる1ショットパルス発生回路に入力される。この1ショットパルス発生回路は、インバータ回路N3の遅

延時間を利用して上記接地電位検出回路の出力信号がハイレベルからロウレベルに変化したタイミングで1ショットパルスを発生させる。この1ショットパルスは、キャパシタCを放電させるスイッチMOSFETQ8をオン状態させるために用いられる。上記キャパシタCの保持電圧は、インバータ回路N4とN5を通して出力される。

【0019】この実施例の待機状態判定回路の動作は、次の通りである。接地電位検出回路の出力信号がハイレベルであるときには、抵抗Rを通してキャパシタCに充電が行われ、キャパシタCの電圧がインバータ回路N4のロジックスレッシュホールド電圧を超えると、インバータ回路N5の出力信号がハイレベルになり、差動増幅回路の動作電流を遮断させるとともに、出力レベルを接地電位に固定するスイッチMOSFETQ1をオン状態にさせる。

【0020】上記の状態、交流信号が入力されると、接地電位検出回路の出力信号がハイレベルからロウレベルに変化する。これにより、上記インバータ回路N2の出力信号がハイレベルに変化してから、インバータ回路N3の出力信号がロウレベルに変化するまでの間、アンドゲート回路G2がハイレベルの出力信号を形成してスイッチMOSFETQ8をオン状態にし、キャパシタCを放電させる。これにより、直ちに待機状態判定回路の出力信号がハイレベルからロウレベルに変化して、差動増幅回路の動作を開始させるとともにMOSFETQ1をオフ状態に切り替える。以後、入力端子P1から交流信号が入力されている間、接地電位検出回路の出力信号は待機状態判定回路内のRC時定数回路より平滑され、待機状態判定回路の出力信号はロウレベルにないので差動増幅回路の増幅動作が維持される。そして、上記のように入力信号が再び接地電位のような固定レベルにされると、上記同様な動作により差動増幅回路の動作電流の遮断と出力レベルの固定化が行われる。

【0021】図4には、差動増幅回路の一実施例の回路図が示されている。Nチャンネル型MOSFETQ11とQ12のソースを共通化して差動形態にし、それぞれのゲートを入力端子IN1とIN2とする。これら増幅MOSFETQ11とQ12のドレインには、電流ミラー形態にされたPチャンネル負荷MOSFETQ13、Q14が設けられる。そして、差動回路の出力信号を受けるPチャンネル出力MOSFETQ16と、そのドレインに設けられる定電流源負荷としてのNチャンネル型MOSFETQ17からなる出力回路が設けられる。この実施例の差動増幅回路は、制御信号VCにより、選択的に動作電流を遮断できるようにするため、差動MOSFETQ11とQ12の共通ソースに設けられる定電流源MOSFETQ15とQ17のゲートには、PチャンネルスイッチMOSFETQ19を介して定電圧VBが供給される。また、MOSFETQ15のゲートと電圧

VSSとの間には、スイッチMOSFETQ18が設けられる。上記スイッチMOSFETQ18とQ19のゲートには、制御信号VCが供給される。

【0022】制御信号VCをハイレベルにすると、Pチャンネル型MOSFETQ19がオフ状態になり、代わってNチャンネル型MOSFETQ18がオン状態になり定電流MOSFETQ15及びQ17をオフ状態にし、差動増幅回路の動作電流を遮断して増幅動作を停止させる。これに対して、制御信号VCをロウレベルにすると、Pチャンネル型MOSFETQ19がオン状態になり、代わってNチャンネル型MOSFETQ18がオフ状態になり定電流MOSFETQ15及びQ17には定電圧VBに対応した定電流が流れ、差動増幅回路に動作電流が流れるようになって増幅動作が行われる。

【0023】以上の差動増幅回路では、主に入力端子に交流信号が入力されたり、あるいは無信号状態になったり動作モード等に応じて変化する場合を前提として説明した。しかし、これに限定されるものではなく、差動増幅回路は、それが搭載される半導体集積回路装置の用途や機能に応じて動作させられたり、非動作状態に置かれるものであってもよい。すなわち、多機能電話機用の半導体集積回路装置では、種々の付加機能が要求され、その全ての組み合わせに対応して逐一半導体集積回路装置を形成したのでは、多品種小量生産となって価格が高くなってしまふ。そこで、本願発明者は、最大公約数的な機能を持つ1つ半導体集積回路装置を形成しておいて、それが搭載されるデジタルボタン電話機のような多機能電話機の仕様や機能に応じて使い分けをすることを考えた。

【0024】しかし、このようにすると、使用しない差動増幅回路での消費電力が無駄になってしまうという問題が生じる。このような無駄な消費電流の増大を防ぐために、マスタースライスやワイヤーボンディングにより使用しない差動増幅回路の動作を停止させることも考えられるが、製造プロセスが複雑になり製品の製造管理が難しくなる。制御用の端子を設けて、その動作を制御することも考えられるが、外部端子数が増大してしまう。そこで、前記実施例のような信号判定機能を生かして、使用しない増幅回路の入力端子を接地電位のような固定レベルにしてそれを受ける差動増幅回路が増幅動作を停止させるように制御する。この構成では、半導体集積回路装置を使用するユーザーにおいて、差動増幅回路の使用／不使用に応じて入力端子のレベルを決定するだけでよい。

【0025】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 差動増幅回路の入力信号が所定の固定レベルであるか否かを検出する信号検出回路を設け、上記信号検出回路により入力信号が固定レベルであると判定されたとき、上記差動増幅回路の動作電流を遮断するとともに

出力レベルを固定レベルにする。この構成では、差動増幅回路の入力信号が固定レベルであるときには実質的な増幅動作が行われていないから、差動増幅回路の動作電流を遮断するとともに出力信号を固定レベルとすることにより不所望な回路の誤動作を防止でき、上記動作電流の遮断に対応して低消費電力化が実現できるという効果が得られる。

(2) 上記入力信号は、外部端子から入力されるものとするにより、用途や使用に応じた差動増幅回路の使い分けを行うことができるという効果が得られる。

(3) 複数の差動増幅回路を搭載しておいて、使用しない差動増幅回路の入力端子を所定の固定レベルにするとともに、その固定レベルを判定する信号検出回路を設けて、差動増幅回路の動作を停止させるようにすることにより、汎用性を持たせるとともに無駄な消費電流の増加を抑えた半導体集積回路装置を得ることができるという効果が得られる。

【0026】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、固定レベルは、回路の接地電位の他、電源電圧であってもよい。この場合には、交流信号の最大値は、絶対的に固定レベルである電源電圧値以下であることが必要になることはいうまでもない。差動増幅回路の具体的な構成は、前記のように選択的な動作電流が遮断可能なものであれば何であってもよい。差動増幅回路を含む半導体集積回路装置は、CMOS回路により構成されるもの他、Nチャンネル型MOSFET又はPチャンネル型MOSFETのみにより構成されるもの、あるいはMOSFETとバイポーラ型トランジスタとを組み合わせたもの等のように半導体集積回路装置に形成可能な素子を用いたものであれば何であってもよい。

【0027】信号検出回路の構成は、前記実施例のような接地電位検出回路と待機状態判定回路とからなるもの他、実質的にこれらの回路と同等の機能を持つものであれば何であってもよい。入力信号は、外部端子から入力されるもの他、内部回路で形成されるものであってもよい。すなわち、半導体集積回路装置に搭載され特定の回路ブロックにより形成された交流信号又は固定レベルに応じて選択的に差動増幅回路が動作させられるようなものであってもよい。この発明は、差動増幅回路を含む半導体集積回路装置に広く利用することができるものである。

【0028】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、差動増幅回路の入力信号が所定の固定レベルであるか否かを検出する信号検出回路を設け、上記信号検出回路により入力信号が固定レベ

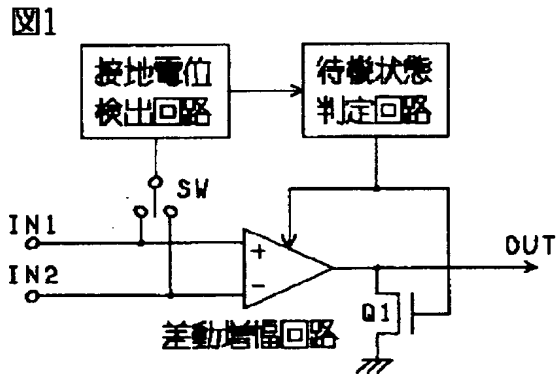
9

ルであると判定されたとき、上記差動増幅回路の動作電流を遮断するとともに出力レベルを固定レベルにする。この構成では、差動増幅回路の入力信号が固定レベルであるときには実質的な増幅動作が行われていないから、差動増幅回路の動作電流を遮断するとともに出力信号を固定レベルとすることにより不所望な回路の誤動作を防止でき、上記動作電流の遮断に対応して低消費電力化が実現できる。

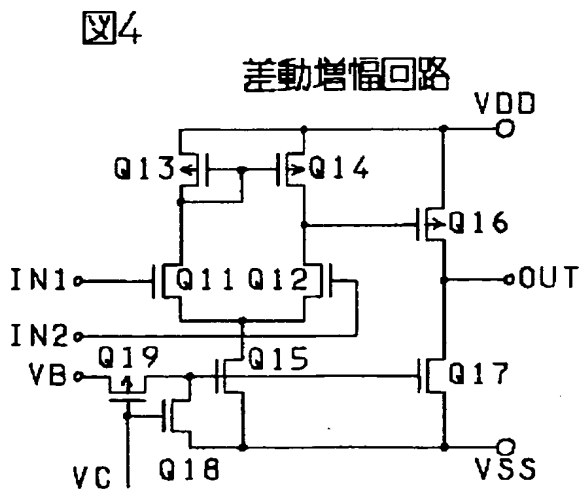
【図面の簡単な説明】

【図1】 この発明が適用された半導体集積回路装置に形成される差動増幅回路の一実施例を示すブロック図である。

【図1】



【図4】



10

【図2】 この発明が適用された半導体集積回路装置に形成される差動増幅回路の他の一実施例を示すブロック図である。

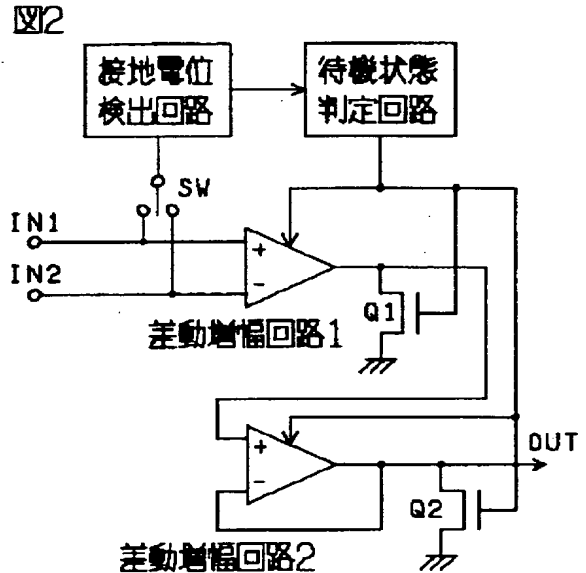
【図3】 信号検出回路とそれにより制御される差動増幅回路の一実施例を示す具体的回路図である。

【図4】 差動増幅回路の一実施例を示す具体的回路図である。

【符号の説明】

Q1～Q19…MOSFET、SW…スイッチ、P1…外部端子、R、R1、R2…抵抗、C…キャパシタ、N1～N5…CMOSインバータ回路、G1、G2…ゲート回路。

【図2】



【図3】

図3

